

**(4) Japanese Patent Laid-Open Publication No. Hei 5-259110**

[Abstract]

[Object] To provide a metal plug forming method which enables formation of a barrier metal layer and a growth nucleus layer only on the inside of an opening in a simple manner.

[Configuration] In the metal plug forming method, an opening 16 is first formed in an interlayer insulation layer 14 provided on a semiconductor layer 10. Subsequently, a barrier metal layer 22 is formed. A metal plug is then formed within the opening by a selective CVD method. The method further comprises the following steps: (a) after forming the barrier metal layer 22 on the upper surface of the interlayer insulation layer 14 and within the opening 16, a growth nucleus 24 for generating crystal growth of a wiring material which serves to form the metal plug is formed on the barrier metal layer 22; (b) the growth nucleus 24 and the barrier metal layer 22 formed on the upper surface of the interlayer insulation layer 14 are removed by a polishing method; and (c) the wiring material is generated by crystal growth from the growth nucleus 24 by performing a selective CVD method, so as to form the metal plug 26 within the opening 16.

[0023] (Embodiment 1)

[Step-100] After forming an interlayer insulation layer 14 made of  $\text{SiO}_2$  at a thickness of 800nm on a silicon layer 10 by a CVD method, an opening 16 is formed in the interlayer insulation layer 14 by a conventional method, such as a photolithographic method and a reactive ion etching method (refer to Fig. 1(A)). It is to be noted that an impurity-dispersed region 12 is provided in the silicon layer 10.

[0024] [Step-110] A barrier metal layer 22 composed of Ti and TiN layers, with thicknesses of 20nm and 100nm, respectively, is formed on the interlayer insulation layer 14 and within the opening 16 by an ECR CVD method. In Fig. 1(B), numeral 18 indicates the Ti layer, and numeral 20, the TiN layer. The above-referenced thickness figures and any such thickness figures appearing in the following description denote the film thickness above the interlayer insulation layer. The film thickness at the bottom portion of the opening depends on factors such as conditions of the ECR CVD method and structure of the opening (such as depth and diameter), but is generally approximately 50% of the film thickness above the interlayer insulation layer.

[0025] Formation conditions of the Ti layer 18 are as follows:

$\text{TiCl}_4 / \text{H}_2 / \text{Ar} = 10 / 30 / 5 \text{ sccm}$

Microwave power: 3kW

Temperature: 600°C

Pressure: 0.1Pa

$\text{H}_2$  and Ar are turned into plasma by electronic cyclotron resonance. Formation

conditions of the TiN layer 20 are as follows:

$\text{TiCl}_4 / \text{N}_2 / \text{H}_2 / \text{Ar} = 10 / 15 / 50 / 5 \text{ sccm}$

Microwave power: 3kW

Temperature: 600°C

Pressure: 0.1Pa

$\text{N}_2$ ,  $\text{H}_2$  and Ar are turned into plasma by electronic cyclotron resonance.

[0026] [Step-120] Subsequently, a layer composed of growth nucleus (hereinafter referred to as a growth nucleus layer) is formed at a thickness of 50nm over the barrier metal layer 22 by an ECR CVD method (refer to Fig. 1(B)). Formation conditions of the growth nucleus layer 24 are as follows:

$\text{TiCl}_4 / \text{H}_2 / \text{Ar} = 10 / 30 / 5 \text{ sccm}$

Microwave power: 3kW

Temperature: 600°C

Pressure: 0.1Pa

$\text{H}_2$  and Ar are turned into plasma by electronic cyclotron resonance.

[0027] [Step-130] Subsequently, the barrier metal layer 22 and the growth nucleus layer 24 formed over the interlayer insulation layer 14 are removed by a polishing method (refer to Fig. 1(C)).

**FORMATION METHOD OF METAL PLUG IN SEMICONDUCTOR DEVICE**

Patent Number: **JP5259110**  
Publication date: 1993-10-08  
Inventor(s): HASEGAWA TOSHIAKI  
Applicant(s): SONY CORP  
Requested Patent: ☐ **JP5259110**  
Application Number: JP19920087459 19920312  
Priority Number(s):  
IPC Classification: H01L21/28; H01L21/205; H01L21/28; H01L21/3205; H01L21/90  
EC Classification:  
Equivalents: JP3211352B2

---

**Abstract**

---

**PURPOSE:**To provide the formation method, of a metal plug, wherein a barrier metal layer and a growth nucleus layer can be simply formed only at the inside of an opening part.

**CONSTITUTION:**The formation method of a metal plug is a method wherein, after an opening part 16 has been formed in an interlayer insulating layer 14 formed on a semiconductor substrate 10, a barrier metal layer 22 is formed and a metal plug 24 is then formed at the inside of the opening part by a selective CVD method. The formation method is composed of the following: (a) a process wherein, after the barrier metal layer 22 has been formed on the upper surface of the interlayer insulating layer 14 and at the inside of the opening part 16, a growth nucleus 24 which crystal-grows a wiring material used to form the metal plug is formed on the barrier metal layer 22; (b) a process wherein the growth nucleus 24 and the barrier metal layer 22 which have been formed on the upper surface of the interlayer insulating layer are removed by a polishing method; and (c) a process wherein the wiring material is crystal-grown by a selective CVD method and the metal plug is formed at the inside of the opening part 16.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-259110

(43) 公開日 平成5年(1993)10月8日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1 R	7738-4M		
21/205				
21/28	A	7738-4M		
	3 0 1 T	7738-4M		
		7735-4M		
			H 0 1 L 21/88	B
			審査請求 未請求	請求項の数 3 (全 6 頁) 最終頁に続く

(21) 出願番号 特願平4-87459

(22) 出願日 平成4年(1992)3月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 長谷川 利昭

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 弁理士 山本 孝久

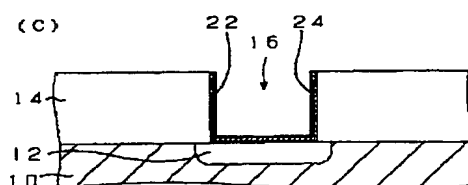
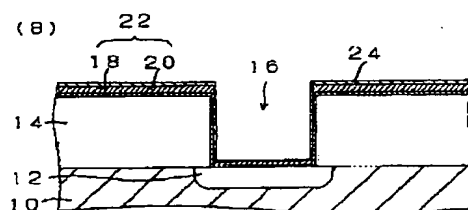
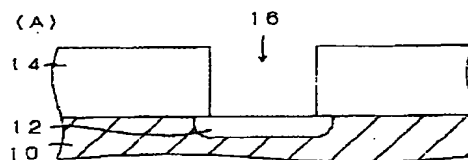
(54) 【発明の名称】 半導体装置におけるメタルプラグの形成方法

(57) 【要約】

【目的】 バリアメタル層及び成長核層を開口部内のみに簡単に形成することができるメタルプラグの形成方法を提供する。

【構成】 メタルプラグの形成方法は、半導体基板10上に形成された層間絶縁層14に開口部16を形成した後、バリアメタル層22を形成し、次いで選択CVD法で開口部内にメタルプラグ24を形成する方法である。そして、(イ) 層間絶縁層14の上表面及び開口部16内にバリアメタル層22を形成した後、メタルプラグを形成すべき配線材料を結晶成長させるための成長核24を該バリアメタル層22上に形成する工程と、(ロ) 層間絶縁層の上表面に形成された成長核24及びバリアメタル層22をポリッシュ法によって除去する工程と、

(ハ) 前記成長核から、選択CVD法によって配線材料を結晶成長させ、開口部16内にメタルプラグ26を形成する工程、から成る。



## 【特許請求の範囲】

【請求項1】半導体基板上に形成された層間絶縁層に開口部を設けた後、バリア金属層を形成し、次いで選択CVD法で開口部内に金属プラグを形成する方法であって、

(イ)層間絶縁層の上表面及び開口部内にバリア金属層を形成した後、金属プラグを形成すべき配線材料を結晶成長させるための成長核を該バリア金属層上に形成する工程と、

(ロ)層間絶縁層の上表面に形成された成長核及びバリア金属層をポリッシュ法によって除去する工程と、

(ハ)前記成長核から、選択CVD法によって配線材料を結晶成長させ、開口部内に金属プラグを形成する工程、から成ることを特徴とする、半導体装置における金属プラグの形成方法。

【請求項2】前記成長核は、金属あるいは金属シリサイドから成り、バリア金属層及び成長核は、電子サイクロトロン共鳴CVD法で形成されることを特徴とする請求項1に記載の半導体装置における金属プラグの形成方法。

【請求項3】前記工程(ロ)と工程(ハ)の間に、開口部の側壁に形成された成長核をプラズマエッチングによって除去することを特徴とする請求項2に記載の半導体装置における金属プラグの形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置における金属プラグの形成方法、更に詳しくは選択CVD法にて金属プラグを形成する方法に関する。

## 【0002】

【従来の技術】半導体装置においては、半導体基板上に形成された不純物拡散領域や下層配線層等と上層配線層との電気的接続を行うために、コンタクトホールやビヤホール(以下、接続孔ともいう)が設けられている。接続孔を形成するには、かかる半導体基板上に層間絶縁層を形成し、この層間絶縁層に開口部を設けた後、開口部に配線材料を埋め込む方法が一般的である。開口部に配線材料を埋め込む方法として、アルミニウム等の金属配線材料をスパッタ法によって形成する方法が従来から採用されている。

【0003】しかしながら、開口部の大きさが微細化し、アスペクト比が大きくなるに従って、開口部をスパッタ法で埋め込むことは困難になりつつある。そこで、微細な開口部を配線材料で埋め込む技術として、所謂ブランケットCVD法あるいは選択CVD法が注目されている。

【0004】配線材料としてタングステンを使用したブランケットCVD法で開口部内に金属プラグ(タングステンプラグ)を形成する技術の概要は以下のとおりである。まず、半導体基板上に形成された層間絶縁層に開

口部を設け、層間絶縁層の上表面及び開口部にCVD法でタングステン層を形成した後、層間絶縁層の上表面に形成されたタングステン層をエッチバックする。これによって、開口部内にタングステンから成る金属プラグが形成される。このブランケットタングステンCVD法においては、開口部の底部及び側壁からタングステンが成長するため、開口部内に形成された金属プラグの中心部にポイドが発生し易い。それ故、ブランケットタングステンCVD法は、0.35 $\mu$ m径の開口部への埋め込みが限界とされており、さらに微細な開口部を配線材料で埋め込むためには、選択CVD法を採用することが望ましいと考えられている。

【0005】配線材料としてタングステンを用いた従来の選択CVD法による接続孔の形成方法の概要は次のとおりである。まず、半導体基板上に熱CVD法等で層間絶縁層を形成し、この層間絶縁層に、例えば、フォトリソグラフィ法及びリアクティブ・イオン・エッチング法によって開口部を設ける。次いで、タングステンは層間絶縁層の上には堆積し難いことを応用して、タングステンをCVD法で開口部の内部にのみ堆積させ、開口部内にタングステンプラグを形成する。こうして、開口部がタングステンによって埋め込まれた接続孔が完成する。

## 【0006】

【発明が解決しようとする課題】シリコン基板上に形成された不純物拡散領域の上に、直接、選択タングステンCVD法を適用して、例えば薄膜トランジスタ(TFT)を形成した場合、TFTは後の工程で600°C以上の熱処理を受けるが、この熱処理工程において、タングステンとシリコン基板のSiが反応してしまう。その結果、シリコン基板上に形成された接合が破壊され、リーク電流が増加するという問題が生じる。

【0007】この対策として、シリコン基板とタングステンプラグの界面にバリア金属層を形成するという方法が検討されている。しかし、タングステンはバリア金属層の上に形成し難いという問題がある。また、開口部のみにバリア金属層を形成することが困難であるという問題もある。

【0008】それ故、バリア金属層を開口部のみに簡単に形成する方法、及び金属プラグを形成すべき配線材料を結晶成長させるための成長核を開口部内のバリア金属層上にのみ簡単に形成する方法が求められている。

【0009】従って、本発明の目的は、バリア金属層を開口部のみに簡単に形成することができ、しかも金属プラグを形成すべき配線材料を結晶成長させるための成長核を開口部内のバリア金属層上にのみ簡単に形成することができる金属プラグの形成方法を提供することにある。

## 【0010】

【課題を解決するための手段】上記の目的を達成するた

めの本発明のメタルプラグの形成方法は、半導体基板上に形成された層間絶縁層に開口部を設けた後、バリアメタル層を形成し、次いで選択CVD法で開口部内にメタルプラグを形成する方法である。そして、(イ)層間絶縁層の上表面及び開口部内にバリアメタル層を形成した後、メタルプラグを形成すべき配線材料を結晶成長させるための成長核を該バリアメタル層上に形成する工程と、(ロ)層間絶縁層の上表面に形成された成長核及びバリアメタル層をポリッシュ法によって除去する工程と、(ハ)前記成長核から、選択CVD法によって配線材料を結晶成長させ、開口部内にメタルプラグを形成する工程、から成ることを特徴とする。

【0011】バリアメタル層は、TiN、Ti/TiN、TiSi<sub>2</sub>/TiN、TiON、Ti/TiON、TiSi<sub>2</sub>/TiON、TiWから成ることが好ましい。尚、TiN、TiONあるいはTiWの上にメタルプラグが形成される。例えばシリコン基板に形成された不純物拡散領域等と反応して良好なオーミックコンタクトを得られるように、バリアメタル層はTi、TiSi<sub>2</sub>、MoSi<sub>2</sub>、WSi<sub>2</sub>、その他の金属層あるいは金属シリサイド層を有していることが好ましい。

【0012】成長核は、Ti、W、Mo、Niあるいはこれらの金属のシリサイド、銅、アルミニウム、ポリシリコン、アモルファスシリコン等、選択CVD法において使用されるメタルプラグの原料ガスを還元して、メタルプラグを構成する配線材料を結晶成長させることができる物質から選択することができる。

【0013】メタルプラグ、及びメタルプラグを形成すべき配線材料は、タングステンから成る。あるいは又、アルミニウムを使用し、選択CVD法で形成することもできる。

【0014】ポリッシュ法は、近年、半導体基板の鏡面仕上げ、SOI (Silicon On Insulator) デバイスで用いられている技術であり、例えば、文献「Trench Insulator by Selective Epi and CVD Oxide Cap」 J. Electrochem SOC, Vol. 137, No.12, 1990年12月、に開示されているように、層間絶縁層の平坦化にも応用されている。ポリッシュ法に用いられる研磨装置100の概要を図4に示す。この研磨装置100は、研磨プレート102、基板支持台110、スラリー供給系116から成る。研磨プレート102は、回転する研磨プレート回転軸106に支承され、その表面には研磨パッド104が備えられている。基板支持台110は、研磨プレート102の上方に配置され、基板支持台回転軸112に支承されている。研磨すべき基板108は基板支持台110に載置される。基板支持台回転軸112は、基板支持台を研磨パッドの方向に押す研磨圧力調整機構114に取り付けられている。研磨剤を含んだスラリー120は、スラリー供給系116からスラリー供給口118を通して研磨パッド104に供給される。

【0015】ポリッシュ法はこのような研磨装置100を用いる。そして、研磨剤を含んだスラリー120を研磨パッド104に供給しながら、研磨プレート102を回転させる。同時に基板支持台110に載置された基板108を回転させながら、研磨圧力調整機構114によって、研磨パッド104に対する基板108の研磨圧力を調整する。こうして、基板108の表面を研磨することができる。

【0016】あるいは又、実開昭63-754号公報に記載されたように、スラリーを、研磨プレート回転軸106及び研磨プレート102の内部を経由して、研磨パッド104に設けられたスラリー供給口118から供給することもできる(図5参照)。

【0017】本発明の方法の好ましい一実施態様においては、前記成長核は、金属あるいは金属シリサイドから成り、バリアメタル層及び成長核は、電子サイクロトロン共鳴CVD法(以下、ECR CVD法ともいう)で形成される。

【0018】更に、本発明の方法の更に好ましい実施態様においては、前記工程(ロ)と工程(ハ)の間において、開口部の側壁に形成された成長核をプラズマエッチングによって除去する。

【0019】

【作用】本発明のメタルプラグ形成方法においては、バリアメタル層及び成長核を形成後、層間絶縁層の上表面に形成された成長核及びバリアメタル層はポリッシュ法によって除去されるが、開口部内にはバリアメタル層及び成長核が残される。従って、選択CVD法によって開口部内に確実にメタルプラグを形成することができる。

【0020】本発明の好ましい実施態様においては、バリアメタル層及び成長核はECRCVD法で形成される。ECR CVD法で形成される薄膜は異方性堆積形状を有する。即ち、バリアメタル層及び成長核は、層間絶縁層上及び開口部底部よりも開口部側壁に薄く形成される。これは、電子サイクロトロン共鳴によって活性化された反応ガスが方向性を有していることに由来する。異方性堆積は、圧力が低いほど、反応ガスの平均自由行程が長くなり、より顕著に現れる。

【0021】本発明の更に好ましい実施態様においては、開口部の側壁に形成された成長核はプラズマエッチングによって除去される。プラズマエッチングは等方的に成長核をエッチングするため、側壁に形成された成長核は開口部底部に形成された成長核よりも早くエッチングされる。その結果、次の工程で選択CVD法によってメタルプラグを形成するとき、開口部の側壁から配線材料が結晶成長することを防ぐことができ、より微細な接続孔を形成することができる。

【0022】

【実施例】以下、図面を参照して、本発明を実施例に基づき説明する。尚、バリアメタル層はTi/TiNから

成り、成長核はTiから成り、メタルプラグを形成すべき配線材料及びメタルプラグはタングステンから成る実施例で、本発明の方法を説明する。

# 【0023】（実施例1）

【工程-100】シリコン基板10の上に、SiO<sub>2</sub>から成り厚さ800nmの層間絶縁層14をCVD法で形成した後、従来の方法、例えばフォトリソグラフィ法及びリアクティブ・イオン・エッチング法によって、層間絶縁層14に開口部16を形成する（図1の（A）参照）。尚、シリコン基板10には不純物拡散領域12が形成されている。

【0024】【工程-110】Ti/TiNから成るバリアメタル層22をそれぞれ20/100nm、層間絶縁層14の上及び開口部16内にECR CVD法にて形成する。尚、図1の（B）中、18はTi層、20はTiN層である。また、厚さは層間絶縁層の上の膜厚であり、以下の膜厚の記載においても同様である。尚、開口部底部における膜厚は、ECR CVD法の条件、開口部の構造（深さ、径など）によって異なるが、一般に、層間絶縁層上の膜厚の約50%程度である。

【0025】Ti層18の形成条件は以下のとおりである。

TiCl<sub>4</sub>/H<sub>2</sub>/Ar=10/30/5sccm

マイクロ波パワー 3kW

温度 600°C

圧力 0.1Pa

尚、H<sub>2</sub>及びArは電子サイクロトロン共鳴によりプラズマ化される。また、TiN層20の形成条件は以下のとおりである。

TiCl<sub>4</sub>/N<sub>2</sub>/H<sub>2</sub>/Ar=10/15/50/5sccm

■

マイクロ波パワー 3kW

温度 600°C

圧力 0.1Pa

尚、N<sub>2</sub>、H<sub>2</sub>及びArは電子サイクロトロン共鳴によりプラズマ化される。

【0026】【工程-120】次に、バリアメタル層22の上にECR CVD法で成長核から成る層（以下、成長核層ともいう）を50nm形成する（図1の（B）参照）。成長核層24の形成条件は以下のとおりである。

TiCl<sub>4</sub>/H<sub>2</sub>/Ar=10/30/5sccm

マイクロ波パワー 3kW

温度 600°C

圧力 0.1Pa

尚、H<sub>2</sub>及びArは電子サイクロトロン共鳴によりプラズマ化される。

【0027】【工程-130】次に、層間絶縁層14の上に形成されたバリアメタル層22及び成長核層24をポリッシュ法によって除去する（図1の（C）参照）。 50

除去の条件は以下のとおりである。研磨装置としては、図4に示した研磨装置を使用した。

研磨圧力=5.0 PSI

研磨プレート/基板支持台回転数=12/26 RPM

【0028】【工程-140】この後、選択タングステンCVD法により耐熱性のあるタングステンから成るメタルプラグ26を形成する（図2参照）。選択タングステンCVD法の条件を以下のとおりとした。

WF<sub>6</sub>/SiH<sub>4</sub>/H<sub>2</sub>=10/7/1000sccm

温度 260°C

圧力 27Pa

Tiから成る成長核層24から、配線材料であるタングステンが結晶成長し、開口部16の内部にメタルプラグ26が形成される。

【0029】本実施例においては、バリアメタル層22及び成長核層24を、開口部16の内部にのみ容易に形成することができる。層間絶縁層の上表面は何ら被覆されておらず、配線材料が層間絶縁層の上表面から結晶成長することがない。

20 【0030】（実施例2）以下に説明する実施例2においては、実施例1の【工程-130】と【工程-140】の間に、開口部の側壁に形成された成長核をプラズマエッチングによって除去する工程を取り入れている。

【0031】【工程-200】この工程は、実施例1の【工程-100】～【工程-130】までと同一であり、その説明は省略する。

【0032】【工程-210】次に、以下の条件でプラズマエッチングを行う。プラズマエッチング装置は、有磁場マイクロ波エッチング装置を用いたが、プラズマエッチングが行えるものであれば何でもよい。

BCl<sub>3</sub>/Cl<sub>2</sub>=30/20sccm

RF波パワー 15W

マイクロ波パワー 100W

圧力 100Pa

プラズマエッチングによって、図3に示すように、開口部16の側壁16Aに形成されたTiから成る成長核層24だけを除去すればよい。これは、プラズマエッチングの時間制御で容易に行うことができる。尚、成長核層24だけでなく、バリアメタル層22の一部分を除去してもよい。これによって、次の選択CVD工程において、メタルプラグを構成する配線材料は開口部16の底部から結晶成長することが可能になる。

【0033】【工程-220】その後、実施例1の【工程-140】と同様の方法で、選択タングステンCVD法にて耐熱性のあるメタルプラグを開口部内に形成する。

【0034】本実施例においては、バリアメタル層22を開口部16の内部にのみ、そして成長核層24を開口部16の底部に容易に形成することができる。配線材料は、開口部の底部から結晶成長し、開口部の側壁から結

晶成長することを防ぐことができるので、実施例1よりも微細な接続孔を形成することができる。

【0035】以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。層間絶縁層は、 $\text{SiO}_2$ の代わりに、PSG、BSG、BPSG、AsSG、PbSG、SbSG、シリコン窒化膜、SOG、SiON等を使用することができる。

【0036】実施例においては、不純物拡散領域が形成された半導体基板上に層間絶縁層を形成したが、下層配線層が形成された半導体基板上に層間絶縁層を形成することも、本発明のメタルプラグの形成方法に包含される。

【0037】

【発明の効果】本発明のメタルプラグ形成方法においては、バリアメタル層、及び金属あるいは金属シリサイドから成り選択成長の種となる成長核を開口部内のみ簡単に形成することができるので、選択CVD法によって開口部内のみ確実にメタルプラグを形成することができる。そして、600°C以上の熱処理においてもシリ

コン基板上に形成された接合を破壊することのないメタルプラグを形成することができる。

【図面の簡単な説明】

【図1】本発明のメタルプラグ形成方法の一実施態様各工程を説明するための、半導体素子の模式的な一部断面図である。

【図2】図1に引き続く工程を説明するための、半導体

素子の模式的な一部断面図である。

【図3】本発明のメタルプラグ形成方法のより好ましい実施態様各工程を説明するための、半導体素子の模式的な一部断面図である。

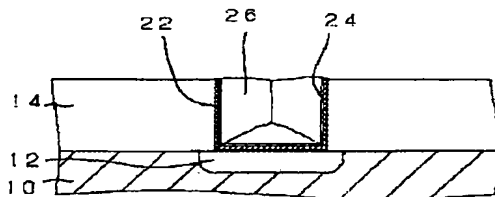
【図4】ポリッシュ法に適した研磨装置の概要を示す図である。

【図5】ポリッシュ法に適した別の研磨装置の一部分を示す図である。

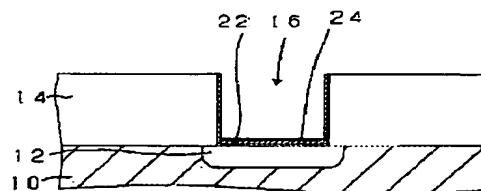
【符号の説明】

- |     |           |
|-----|-----------|
| 10  | シリコン基板    |
| 12  | 不純物拡散領域   |
| 14  | 層間絶縁層     |
| 16  | 開口部       |
| 18  | Ti層       |
| 20  | TiN層      |
| 22  | バリアメタル層   |
| 24  | 成長核層      |
| 26  | メタルプラグ    |
| 100 | 研磨装置      |
| 102 | 研磨プレート    |
| 104 | 研磨パッド     |
| 106 | 研磨プレート回転軸 |
| 108 | 基板        |
| 110 | 基板支持台     |
| 112 | 基板支持台回転軸  |
| 114 | 研磨圧力調整機構  |
| 116 | スラリー供給系   |
| 118 | スラリー供給口   |
| 120 | スラリー      |

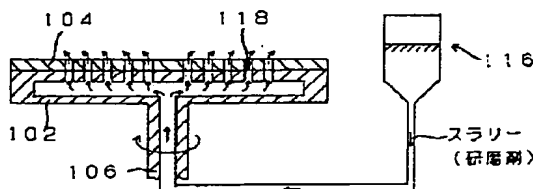
【図2】



【図3】

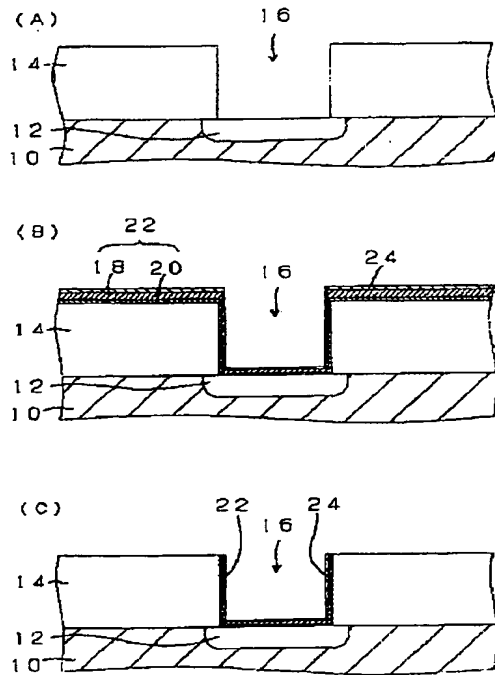


【図5】

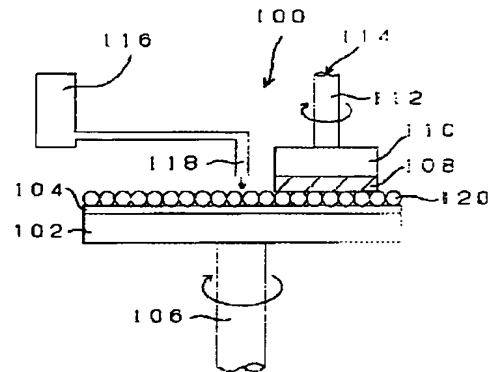




【図1】



【図4】



フロントページの続き

(51) Int. Cl.<sup>5</sup>H01L 21/3205  
21/90

識別記号

片内整理番号

F I

技術表示箇所

C 7735-4M